

PCT

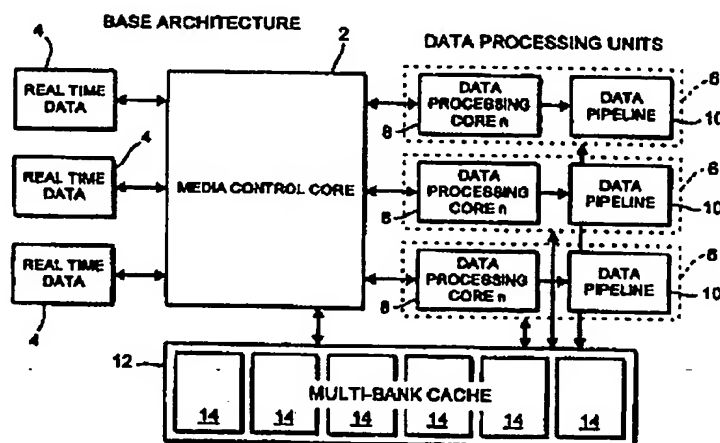
WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : G06F 15/80		A1	(11) International Publication Number: WO 97/38372
			(43) International Publication Date: 16 October 1997 (16.10.97)
(21) International Application Number: PCT/GB97/00972		(81) Designated States: JP, European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) International Filing Date: 4 April 1997 (04.04.97)		Published <i>With international search report.</i> <i>Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>	
(30) Priority Data: 9607153.5 4 April 1996 (04.04.96) GB			
(71) Applicant: VIDEOLOGIC LIMITED [GB/GB]; Home Park Estate, Kings Langley, Hertfordshire WD4 8LX (GB).			
(72) Inventors: WHITTAKER, James, Robert; 9B Kings Road, Berkhamsted, Hertfordshire HP4 3BD (GB). ROWLAND, Paul; 158B London Road, St. Albans, Hertfordshire AL1 1PQ (GB).			
(74) Agent: ROBSON, Aidan, John; Reddie & Grose, 16 Theobalds Road, London WC1X 8PL (GB).			

(54) Title: **A DATA PROCESSING MANAGEMENT SYSTEM**



(57) Abstract

A data processing management system comprises one or more data inputs (34) and one or more data outputs (42). It also includes one or more data processing units (50), a data storage means (12) and a control core (2). The control means includes means for routing data between the data input, the data output, the data processing means and the data storage means in one or more programmable routing operations. It is able to cause the data processing means to commence a predetermined data processing operation. It is also able to repeatedly determine which routing operations and which data processing operations are capable of being performed and is then able to commence execution of at least one of the thus determined operations capable of being performed.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P) (12) 公表特許公報 (A)

(11) 特許公開番号
特表2000-509528
(P2000-509528A)

(43) 公表日 平成12年7月25日 (2000.7.25)

(51) Int. Cl.	特許記号	IPC (参考)
G 0 6 F 15/80		G 0 6 F 15/80
9/38		9/38
9/46	3 6 0	3 6 0 B
15/16	6 1 0	6 1 0 F
G 0 6 T 1/20		L

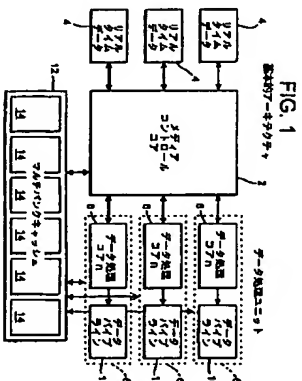
審査請求 未請求 予備審査請求 有 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2000-535969	(71) 出願人 イマジン・インフォメーション・テクノロジー・リミテッド
(86) (22) 出願日 平成9年4月4日 (1997.4.4)	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(85) 国際出願日 平成10年10月6日 (1998.10.5)	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(86) 国際出願番号 PCT/GB97/00972	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(87) 国際出願番号 WO97/38372	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(87) 国際公開日 平成9年10月16日 (1997.10.16)	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(31) 優先権主張番号 9 6 0 7 1 5 3 . 5	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(32) 優先日 平成8年4月4日 (1996.4.4)	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(33) 優先権主張国 イギリス (GB)	イギリス ハートフォードシャー・グロスターシャー・ロンドン
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), JP	イギリス ハートフォードシャー・グロスターシャー・ロンドン

最終頁に続く

(54) 発明の名称 データ処理・ネーミングシステム

(57) 要約
データ処理・ネーミングシステムは、1つ以上のデータ入力 (34)、及び1つ以上のデータ出力 (42) を含む。又、1つ以上のデータ処理ユニット (60)、データ記憶手段 (12) 及びコントロール部 (2) を含む。コントロール部 (2) は、1つ以上のプログラム可能なデータ処理手段において、データ入力と、データ出力と、データ処理手段と、データ記憶手段との間にデータをルート指定するための手段を含む。データ処理手段が所定のデータ処理動作を開始するようにすることができる。又、どのルート指定動作及びどのデータ処理動作が実行できるかを繰り返し決定し、次いで、このように決定された実行できる動作の少なくとも1つの実行を開始することができる。



【特許請求の範囲】

1. 少なくとも1つのデータ入力と、少なくとも1つのデータ出力と、少なくとも1つのデータ処理手段と、データ記憶手段と、コントロール手段とを備えたデータ処理・ネーミングシステムにおいて、上記コントロール手段は、1つ以上のプログラム可能なルート指定動作において、データ入力と、データ出力と、データ処理手段と、データ記憶手段との間にデータをルート指定するための手段と、データ処理手段が所定のデータ処理動作を開始するようにさせる手段と、どのルート指定動作及びどのデータ処理動作を実行できるか繰り返し決定するための手段と、このように決定された実行できる動作において少なくとも1つの実行を開始するための手段と、を備えたことを特徴とするデータ処理・ネーミングシステム。
2. 各ルート指定及びデータ処理動作に優先順位を指定するための手段と、実行できるルート指定及びデータ処理動作のどれに最も高い優先順位が指定されたかを決定するための手段とを備え、実行を開始する上記手段は、最も高い優先順位が指定された動作の実行を開始するように制御される請求項1に記載のデータ処理・ネーミングシステム。
3. データ入力はリアルタイム入力であり、そしてその入力にデータを受信する動作に最も高い優先順位が指定される請求項1又は2に記載のデータ処理・ネーミングシステム。
4. データ入力はビデオデータ入力である請求項3に記載のデータ処理・ネーミングシステム。
5. データ入力はオーディオ入力である請求項3に記載のデータ処理・ネーミングシステム。
6. どのルート指定動作及びどのデータ処理動作を実行できるか繰り返し決定する手段、及びそのように決定された動作のどれに最も高い優先順位が指定されたかを決定する手段は、コントロール手段に関連したクロック手段の各クロックサイクルにこの決定を行う請求項2ないし5のいずれかに記載のデータ処理・ネーミングシステム。

ージメントシステム。

7. 上記のように決定されて最も高い優先順位が指定された動作の開始は、その後のクロックサイクルに行われる請求項6に記載のデータ処理でネージメントシステム。

8. どのルート指定及びデータ処理動作を実行できるか決定する手段は、状態バスを経て受け取られそして内部及び/又は外部リソースにより発生されたリソース状態ビットからこの決定を行う請求項1ないし7のいずれかに記載のデータ処理でネージメントシステム。

9. データ処理手段は、その処理手段により実行されるべき処理動作に関連したマイクロコード命令の記憶を含む請求項1ないし8のいずれかに記載のデータ処理でネージメントシステム。

10. コントロール手段は、データ処理手段のマイクロコード命令記憶にアドレスオフセットを与えることにより処理動作の実行を開始する請求項9に記載のデータ処理でネージメントシステム。

11. データ記憶手段は、キャッシュメモリ手段を含む請求項1ないし10のいずれかに記載のデータ処理でネージメントシステム。

12. キャッシュメモリ手段は、キャッシュメモリ記憶装置の複数のバンクを含む請求項11に記載のデータ処理でネージメントシステム。

13. キャッシュメモリへのアクセスを有するシステムの各部分は、キャッシュメモリの異なるバンクへのアクセスを許すようにプログラムできるキャッシュメモリ割り当て手段に関連される請求項1に記載のデータ処理でネージメントシステム。

14. コントロール手段は、そのコントロール手段内でデータに対して動作を実行するための1組のデータバンクを含む請求項1ないし13のいずれかに記載のデータ処理でネージメントシステム。

15. コントロール手段は、システムにより実行されるべきデータ処理動作の各々に対して1つずつ、1組のアドレスバンクを含む請求項1ないし14のいずれかに記載のデータ処理でネージメントシステム。

16. コントロール手段は、システムにより実行されるべきデータ処理動作の

各々に対して現在プログラムアドレスを記憶するためのプログラムカウンタバンクを含む請求項1ないし15のいずれかに記載のデータ処理でネージメントシステム。

17. コントロール手段は、入力及び出力手段とインターフェイスするための1組の入力/出力バンクを含む請求項1ないし16のいずれかに記載のデータ処理でネージメントシステム。

18. コントロール手段は、記憶手段とインターフェイスするための読み取り/書き込みユニットを含む請求項1ないし17のいずれかに記載のデータ処理でネージメントシステム。

19. 各データバンクは、演算論理ユニット (ALU) と、そのALUのみに関連したレジスタファイルとを含む請求項12に記載のデータ処理でネージメントシステム。

20. データバンク、アドレスバンク、プログラムカウンタバンク、入力/出力バンク、及び読み取り1/書き込みバンクは、全て、共通の状態バス、共通のデータ相互接続部及び共通のコントロールバスに請求項14ないし19に記載のデータ処理でネージメントシステム。

【発明の詳細な説明】

データ処理マネージメントシステム

発明の分野

本発明は、リアルタイムマルチメディア入力及び処理に使用できる形式のデータ処理マネージメントシステムに係る。

先行技術の説明

コンピュータのユーザインターフェイスは、テレタイプからキーボードへそしてキャラクタターミナルからGUI（グラフィックユーザインターフェイス）へと連続的に進化し、現在では、GUIが大部分のコンピュータユーザの標準的なインターフェイスとなっている。この進化は、サウンド及び3Dグラフィックスが次第に一般的となりそして3Dサウンド及びバーチャルリアリティが出現するというように続いている。その共通の脈絡は、ユーザに与えられるデータの形式が付随的に増加するために人間とコンピュータとのインターフェイスが益々複雑化することである。PC（パーソナルコンピュータ）アプリケーションは、この移行の利点を取り上げ、そしてこれらの完全な潜在能力を引き出すためにサウンド及び3Dグラフィックスを利用することに益々依存している。

その結果、チップ及びボード供給者は、2つ以上のデータ形式、例えば、2Dグラフィックス及びサウンド、又は2D及びMP EG（動画専門グループ）再生を取り扱うように設計された複合機能をもつ製品を提供するようになった。今日までのこれらの製品は、各データ形式ごとに個別の機能的ユニットを使用していることに注目するのが重要である。

最近、プログラマブルSIMD（単一命令多データ）アーキテクチャ（例えば、クロマティックMP ACT）が出現している。これらアーキテクチャは、同じ命令を実行する同一の処理要素を使用して、多数のデータブロックに対して同じ処理を並列して実行する。この解決策は、例えば、MP EGのようなデータ圧縮におけるブロック処理のような共通の機能を実行できるように容易に分割できるデータについては十分に機能するが、データ処理内で条件付きの流れ制御をしばしば必要とする完全な汎用アルゴリズムを実行するに充分な融通性がない。

又、DSP（デジタル信号プロセッサ）の売り主は、種々のデータ形式を処理

するに必要な融通性を与えるMIMD（多命令多データ）デバイス（例えばテキサスインスツルメンツ社のTI320C80）をこのマーケットに向けるように努めた。しかしながら、そのアーキテクチャは、アプリケーションに必要とされるものよりも遙に大きな融通性を保持する汎用DSPコアの複製であるために、それにより形成されるチップは、一般的なPC及び消費者向けとしては非常にコストの高いデバイスになってしまう。

汎用プログラム及びマルチメディア処理の両方について高速RISC CPUをプロモートするCPU（中央処理ユニット）の売り主は、数個以上のマルチメディア特有の命令をサポートするようにそれらのアーキテクチャを妥協することができず（そしてそのように望まず）、それ故、妥当なコストで所要の性能レベルを得ることができない。又、CPUは、一般に、非リアルタイムのオペレーティングシステムを実行するのに使用されるので、待ち時間の短い処理を与えることもできない。

多数の処理ユニットを制御するVLIW（非常に長い命令ワード）命令を使用する専用のマルチメディアCPU（例えばフライリッパ社のトリメディア）は、それらの処理能力を効率的に使用することができない。というのは、各命令が単一のタスク（及びデータ形式）に専用のものであり、それ故、使用できる全ての処理ユニットを最適に活用することができないからである。例えば、3Dグラフィックオペレーションに専用のVLIW命令は、MP EG運動推定に設計されたハードウェアの利点を取り入れることができない。又、処理ユニットの個数、ひいては、拡張性も、VLIWワードの長さにより制限される。

発明の要旨

本発明の好ましい実施形態は、システムコストを最小限にすると共に、マルチメディア及び関連工業規格の将来の進展に備えるように、全てのマルチメディアデータ形式を処理するデバイスの要求に向けられる。本発明の実施形態は、処理能力、リアルタイムI/Oサポート、及び実行できる同時アクティビティの数について拡張性のあるアーキテクチャを提供する。

全てのマルチメディアデータ形式は、ベクトル処理解決策に適したデータの流れとしてみることができ。これら流れの幾つかは、リアルタイムであり（例え

ば、音声又は映像入力からの流れ)、従って、データロスを回避するために専用のバッファ又は低待ち時間処理を必要とする。又、各データ流は、それを処理するのに何らかのハードウェアリソースを必要とする。

本発明の好ましい実施形態は、データIO及びタスクスケジューリングのみを遂行する低待ち時間のリアルタイム処理を含む。これは、不要で且つコストのかかるバッファの必要性を回避する。又、必要なリソースが使用できるタスクのみが実行されるよう確保するための動的なリソースチェッキング方法も含む。

ホストの処理能力と、メモリのコストと、シリコンのコストとのバランスは、常時変化している。これは、ホストプロセッサとマルチメディア共通プロセッサとの間の最適な作業分担も、時間と共に変化することを意味する。このデバイスは、必要に応じて作業分担を変更できるようにプログラム可能である。

並列処理デバイスの拡張性は、ハードウェア設計及びサポートソフトウェアの両方にとって問題である。より多くの処理ユニットがデバイスに追加されたときには、処理ユニット間のタスクの振り分けが益々困難になり、利益の減少を招くか、又は機能ユニット間の相互接続数の指数関数的な増加を招く。又、このような変化は、一般に、サポートソフトウェアの大規模な変更を必要とするデバイスに対しプログラミングモデルの変更を招く。本発明の好ましい実施形態は、機能ユニット間の相互接続の急増を生じることなく且つデバイスへのソフトウェアインターフェイスに与えられるプログラミングモデルの変更を伴うことなく全ての要素を拡張できる一貫した拡張可能なアーキテクチャーによってこれらの問題に対処する。

図1は、デバイスの基本的なアーキテクチャーを示す。

デバイスは、マルチメディアデータを処理するのに必要な現在及び将来の全てのアルゴリズムに適合できる再構成可能なエンジンと考えられている。これによって行われる作業は、2つの分類に分けられる。リアルタイムスケジューリング及びIO処理の両方は、メディアアコントローラにより実行され、一方、計算能力の高いデータ処理は、1つ以上の付加的なデータ処理ユニットにより実行される。

この作業分割は、アーキテクチャーの基本的特徴の1つである。

データ処理は、次のような多数のステップより成る。

パラメータフェッチ及び設定；

データフェッチ及び設定；及び

データ記憶。

高いデータ処理スループットを効率的に達成するために、プロセッサは、適度な大きさのデータセットに対して上記オペレーションを行うことが必要である。データセットがあまりに小さいと、プロセッサは、タスク間のコンテキスト切り換えと、それに伴うスレップ状態のセーブ及び再記憶の必要性とにその能力のほとんどの部分を費やすことになる。

メディアアコントローラは、IOポートとメモリとの間にデータを移動する(データ処理を行えるようにするために)要求に応じるためにのみ必要とされるので、各クロックサイクルにコンテキスト切り換えることができ、これは、次いで、リアルタイムIOをサポートするための大きなデータバッファの必要性を排除する。データ処理ユニットは、データに対してアルゴリズムの重要な部分を中断なしに実行することにより効率的にデータを処理することができる。

これらの処理要素は、アクティブなアルゴリズムを実行するのに必要なデータセットをキャッシュ処理することにより効率的なデータ移動及び処理をサポートする拡張可能なマルチバンクキャッシュによりサポートされる。

本発明は、その種々の特徴について、請求の範囲に詳細に規定される。

図面の簡単な説明

添付図面を参照し、本発明の好ましい実施形態を一例として詳細に説明する。

図1は、本発明の実施形態のプロック図である。

図2は、図1のメディアアコントローラのプロック図である。

図3は、本発明の第2の実施形態のプロック図である。

図4は、メディアアコントローラのコントロルユニット命令バイフラインを示すプロック図である。

図5は、図4のデータバンクの1つの内部アーキテクチャーを示すプロック図である。

図6は、メディアアコントローラによりリソースチェック、ひいては、プロ

セス選択をいかに実行するか示すブロック図である。

図7は、図1のバンク型キャッシュメモリへいかにアクセスするかを示すブロック図である。

好ましい実施形態の詳細な説明

本発明の実施形態の基本的なアーキテクチャが図1に示されている。システム中心は、メデアコントロールコア (MCC) 2である。これは、微細粒度のマルチスレッディングプロセッサである。これは、リアルタイムデータ入力及び出力デバイス4に接続できる複数の入力及び出力を有する。デバイス4は、例えば、ビデオソース、オーディオソース、ビデオ出力、オーディオ出力、データソース、記憶装置等である。簡単な例では、1つの入力及び1つの出力のみが与えられる。

又、メデアコントロールコア2には、複数のデータ処理ユニット6も接続される。これらの各々は、データバスライン10を経てデータの処理を制御するデータ処理コア8を含む。コア8は、バスライン10のマイクロ命令をデコードしてシーケンスする。

又、メデアコントロールコア2には、マルチバンク型キャッシュメモリ12も接続され、このメモリからメデアコントロールコア2及びデータ処理ユニット6によりデータが検索されると共に、メデアコントロールコア2及びデータ処理ユニット6によりこのメモリにデータが書き込まれる。

メデアコントロールコアは、入力からデータ処理コア又は記憶装置へデータを導くと共に出力へデータ供給する微細粒度のマルチスレッディング処理ユニットである。これは、各クロックサイクルにタスクを切り換えできるように構成される。これは、各クロックサイクルに、それが実行できる考えられるオペレーションのどれが、実行されるべきタスクに対して使用可能な全てのリソースを有するか、そしてその中でどれが最も高い優先順位を有するかをチェックすることにより達成される。充分な処理能力が与えられる場合には、各クロックサイクルに2つ以上のオペレーションを開始するように構成することができる。

このリソースチェックは、特定のタスクを実行するに必要な全てのものが存在するように確保する。これは、データが入力ポートに得られるかどうか (EGビデオ

オデータ)、或いはデータ記憶装置又は出力が使用できるかどうかといった外部リソースを含む。又、一時的な記憶のためのデータバンクや、特定の新たな処理動作に必要な他のデータ又は既に処理されたデータに現在作用していない使用可能な処理コアのような内部リソースも含む。メデアコントロールコアは、入力から適当なデータ処理ユニット6へデータを送って処理を実行し、そして必要に応じて必要に応じてキャッシュを使用して出力へデータをルート指定するように動作する。1組の命令の実行が処理ユニットにおいて開始されると、MCCは、それが実行できる種々のスレッド及びそれに対して使用できるリソースを再び探すことができ、その間に、プログラムはデータ処理ユニットにおいて実行を続ける。

メデアコントロールコアのリソース及び優先順位チェックは、ビデオ入力のようなリアルタイムデータとして働くタスクを、現在のリアルタイム入力に通常必要とされる大きなメモリバッファを伴わずに実行できることを意味する。ビデオ入力のようなオペレーションでは、メデアコントロールコアは、I/Oポートにデータが得られるかどうかを調べ、もしそうであれば、そのデータを受け取って、マルチバンク型キャッシュの一部又はデータ記憶レジスタへ送り、データ処理ユニット6の1つで処理するための準備をする。

全てのデータ処理ユニット6は、メデアコントロールコア2の制御及びバスケジューリングのもとにある。図1に示す例では、これらのユニットは、その関連するデータ処理コア8の制御のもとで、乗算器、加算器、シフト等の多数の処理要素で作り上げられる処理バイフライン (データバスライン10) より成り、処理コア8は、一連の命令を実行してデータ処理アルゴリズムを実行する。これらデータ処理コアの各々は、特定のデータ処理を実行するための一連の命令を記憶するそれ自身のマイクロ命令ROM及び/又はRAMを有する。メデアコントロールコアは、データ処理ユニット6を呼び出し、例えばアドレスオフセットをそのマイクロ命令ROMに通して実行の開始を命令することによりその特定のオペレーションシーケンスを実行する。次いで、マルチバンク型キャッシュからのデータ、又は1つの入力からメデアコントロールコアへ通されたデータに対して特定のプロセスを完了まで実行し、その際に、処理が完了したことをメデア

アコントロールコアに通知する。

図1のマルチバンク型キャッシュ12は、メモリアクセスに対して使用され、これらは全てこのバンクを通してキャッシュ処理される。キャッシュは、複数のバンク14に分割され、その各々は、行われる1つのデータ処理タスクの要件に適合するようにプログラムすることができ、例えば、キャッシュバンクは、3Dグラフィックレンダリングに使用するためにメインメモリからのテクスチャマップをキャッシュ処理するのに専用としてもよい。キャッシュバンクのこのプログラム特性を使用すると、オンチップメモリを最大限に使用できると共に、動的なキャッシュ割り当てを実行することができ、これにより、特定の条件のもとで最良の性能を得ることができる。

更に、多数のキャッシュバンクの使用は、キャッシュを非ブロックングにすることができる。即ち、キャッシュバンクの1つが、現在満足することのできない要求、例えば、データが現在得られないような読み取り命令を処理している場合には、個別のキャッシュバンクを使用する別の処理スレッドを動作させることができる。

図1に示す全デバイスは、拡張可能であり、シリコンの単一断片上に集積チップとして構成することができる。メディアアコントロールコア2は、図2を参照して以下に述べるように拡張できる。メディアアコントロールコアのサイズが増加するにつれて、メディアアコントロールのための同じプログラムミッドモデルを使用しながらも更に別のデータ処理ユニット6をサポートすることができる。又、更に多数のキャッシュバンクを追加して、更に別のデータ処理ユニットをサポートすることにより、メディアアコントロールコア及びデータ処理ユニットに対するデータスループットの有効性を高めることができる。デバイスのプログラムモデルが変化しないので、これは、高度の下位互換性を得られるようにする。

メディアアコントロールコアが図2に詳細に示されている。これは、コントロールユニット16と、1組の読み取り/書き込みユニット18と、1組のプログラムカウンタバンク20と、1組のアドレスバンク22と、1組のデータバンク24と、1組の入力/出力バンク26とで構成される。これらのバンクは、全て、メディアアコントロールコア状態バス28、メディアアコントロールコア制御バス2

9及びメディアアコントロールコアデータ相互接続部30によって互いに接続される。メディアアコントロールコアデータ相互接続部は、種々の異なるバンク間にデータを送信するのに使用され、そして状態バスは、入力/出力ポートの状態や、メディアアコントロールコアが命令及びデータを送信できるもののデータ処理ユニットの状態のようなデータを供給する。

更に、ROM及びRAMにマイクロ命令を記憶するメモリアクセス32は、コントロールユニット16及び上記のユニット18-26に接続される。

コントロールユニットを除いて全てのコア要素18-26は、それらからデータを読み取ったり、それらにデータを書き込んだり、それらに記憶されたデータ間でオペレーションを実行したりすることのと同じ基本的インターフェイスモデルを有する。各バンクは、処理ユニット及び演算論理ユニット(ALU)と共に、密接接続のローカル記憶レジスタファイルで構成される。

コントロールユニット16は、メディアアコントロールコアの実行を制御するのに使用される。これは、各クロックサイクルごとに、メディアアコントロールコアバス28により供給される状態情報を使用して、全てのリソースの利用性(例えば入力/出力ポート状態、データ処理ユニットの状態等)を、その制御のもとで各プログラムを実行するのに必要なリソースに対してチェックする。次いで、全てのリソースが使用できる最も優先順位の高いプログラムスレッドに対して命令の実行を開始する。

プログラムカウンタバンクは、メディアアコントロールコアによってサポートされる各処理スレッドごとにプログラムカウンタを記憶するのに使用される。これは、メディアアコントロールコアがサポートできる各処理スレッドに対するレジスタと、プログラムの進行、ルーチン動作、分岐等のためにプログラムカウンタに対して全てのオペレーションを実行するAULとで構成される。データバンク24は、メディアアコントロールコア内のプログラムの流れを制御するためにデータに対する汎用動作に使用される。それらは、MMCにおいて動作する処理スレッドにより必要に応じて使用できる一般的なリソースである。

アドレスバンク22は、命令及びデータの両方に対するアドレスを記憶しそして操作するのに使用されると共に、データバンク24と同様の一般的なMMCリ

ソースでもある。

入力/出力バスク26は、MCCによりサポートされる入力/出力に対しメディアコントロールコアとリアルタイムデータ流との間のインターフェイスを形成する。それらの状態は、例えばビデオ入力のようなポートにおけるデータの入手性、又は出力のためのデータを取り出すポートの能力を指示する。それらは、オプションとして、データが取り込まれ又は取り出されるときにデータを交換する能力、例えば、データ流のビットストリングを含むことができる。

読み取り/書き込みバスク18は、メディアコントロールコアとメモリとの間のインターフェイスを形成する(ナルチバンクキャッシュを経て)。一度に2つ以上の処理スレッドを動作できるときには、メモリ要求のプログラミングを回避するために2つ以上の読み取り/書き込みユニットが必要とされる。

メディアコントロールコアは、全ての重要な観点で拡張可能である。これは、記憶(レジスタファイル)及び処理(ALU)をローカライズするバンクから構成されるので、ルート及び相互接続を管理できないという問題を生じることなく付加的なバンクを追加することができる。サポートできる処理スレッドの数は、プログラムカウンタバンクにレジスタを追加しそしてそれに依じてコントロールユニットを変更することにより増加することができる。MCCによりサポートできる入力/出力流の数は、更に別のIOバンクを追加することにより増加することができる。

デタスルーブットは、更に別の読み取り/書き込みユニット18を追加することにより増加できると共に、全MCC処理能力は、更に別のデータ及びアドレスバンク24、22を追加することにより増加できる。

図3は、データ処理マネジメントシステムの特定の実施形態を示すブロック図である。このシステムのMCCは、複数のリアルタイムデータ入力/出力ポートとして働き、そしてそこから受け取った及びそこに出力されるデータを処理するようにデータ処理ユニットを制御する。

図示されたように、ビデオ入力34及びオーディオ入力36が、関連する前プロセス38及び40を経てメディアコントロールコアに接続される。対応するビデオ出力42及びオーディオ出力44は、各後プロセス46及び48を経て

メディアコントロールコア2に接続される。ビデオ及びオーディオ入力及び出力は、デジタル入力及び出力である。

図1の場合と同様に、メディアコントロールコア2は、この場合にメインキャッシュバンクと称するナルチバンク型キャッシュ12に接続される。二次コア8及びデータ(メディア)バイライオン10を含むデータ処理ユニット6は、メディアコントロールコアに直接接続され、そしてそれらに供給されるべきデータを処理するのに使用される。

又、メディアコア2には、処理ユニット50も接続され、これは、デジタル/アナログコンバータ供給コア(DAC供給コア)52と、DAC供給バイライオン54とを備え、このバイライオンは、デジタル/アナログコンバータ56にデータを供給する。その目的は、グラフィック出力を供給することである。このため、処理ユニット50は、フレームバッファライオンターフェイス58を経てデータをフェッチし、そしてホストコンピュータ映像グラフィックアダプタ(VGA62)用のシステムバス60は、互換性のためにのみ保持される。従って、リアルタイムデータは、ビデオ及びオーディオ入力に送られ、そしてビデオ及びオーディオ出力を経て送り出すことができるが、グラフィック出力は、DAC56により送信することができる。

グラフィック出力のためのデータは、図3ではフレームバッファライオンターフェイス58を経て接続が示されたグラフィックフレームバッファのようなソースからの非リアルタイムデータ、3Dデータ、又はリアルタイムビデオを処理することにより発生できる。

二次コア8及びメディアバイライオン10は、音声、3D、2D、映像スクリーンング、映像デコード等の処理を行うことのできるデータ処理ユニットの一例である。これは、何らかの形式の汎用プロセッサで形成することができる。

DAC供給コア及びDAC供給バイライオンは、DACのためのRGBデータを発生するために多数のフレームバッファからのデータを専用に処理する。これは、ピクセルごとにソースバッファ間で切り換わることができる、従って、YUVを含む多数の映像フォーマットから得られたデータを変換し、そして多数のフレームバッファからのソースデータを混合によるか或いはカラー又はクロマキー動

作により合成することができる。

各コプは、ROM及びRAMで形成された関連するマイクロコード記憶装置を有し、これは、明瞭化のためにここには示さないが、プロセッサにより実行されるべき命令を記憶する。キヤッシュバンク12は、メダイアコントロールコプ及びデータ処理ユニット6、50にインターフェイスする。それらは、アドレス変換ユニット64を経てシステムバスにもインターフェイスする。又、それらは、1つ以上のフレイムバッファにデータを書き込んだりそこからデータを読み取りたりするためにフレイムバッファインターフェイス58にもリンクされる。

データバンク24が図5に示されている。これは、レジスタファイル72と、ALU74と、マルチプレクサユニット76とを含む。データバンクのオペレーションは、レジスタファイルへ入力されるWE、W、R1及びR2と示されたマイクロ命令の多数のビットにより制御される。ALUにより実行されるマイクロ命令の結果は、状態ビットH、S、Zとして得ることができ、これらは、分岐及び条件付き命令を実行するためにメダイアコントロールコプのコントロールユニットにルーチ指定される。

レジスタファイルは、各クロックサイクルに、2つのオペランドを入力からフェッチしそして1つのオペランドを出力に書き込むことができるように構成される。データ入力ポート78及びデータ出力ポート80は、それらが接続されたメダイアコントロールコプデータバス30を経て他のデータと通信することができる。従って、図5のデータ流は、図を通して垂直方向下降し、一方、制御情報の流れは、左から右へと進み、コントロールユニットからの制御ビットと、コントロールユニットへ返送されるデータバンクの状態を表す状態ビットとで形成される。

複数のこれらデータバンクが使用され、その各々は同じ形態であり、即ちその各々は、図5に示すようにALUに密接に接続されたそれ自身のレジスタファイルとを有する。複数の密接に接続されたレジスタ及びALUを好ましくは1対1の関係で使用することの構成体は、レジスタバンクと多数のALUとの間の複雑なマルチプレクサが必要とされた多数のALUの公知の構成体とは異なる。

一般に、これらのデータバンクは、MCC内のプログラムの流れを制御するよ

うにデータに対して汎用のオペレーションを実行し、そしてMCCにおいて動作する処理スレップにより使用することができる。

アドレスバンク22、プログラムカウンタバンク20、IOバンク26、及び読み取り／書き込みユニット18は、全て、同様に構成されて動作するが、それらの実施を最適化して、それらが使用される方法を反映するように、個別のユニットで設けられる。

アドレスバンクは、メモリ (図示せず) ヘデータアクセスするためのアドレスを記憶しそして操作する。それらは、非符号化アキムレータを使用し、そして状態バスを経てコントロールユニット16に変更される条件コードを発生しないという点で、データバンクより若干簡単である。

プログラムカウンタバンクは、メダイアコントロールコプによってサポートされるスレップを各々処理するためのプログラムカウンタを記憶するのに使用される。従って、図5に示された形式のバンクにおけるレジスタの数は、MCCがサポートできる処理スレップの数に等しい。アドレスバンクの場合と同様に、ALUは、プログラムカウンタ動作に使用され、そして非符号化される。これは、コントロールユニット2に返送される条件コードを発生しない。

IOバンクは、IOポートにインターフェイスするのに使用され、レジスタもALUも含まない。それらは、MCCによりサポートされるリアルタイムデータ流とインターフェイスする。状態信号は、ポートにおけるデータの入手性、又はデータを採取するポートの能力を指示する。それらは、データが転送されるときにデータを変換する能力を任意に含むことができる。

読み取り／書き込みユニットは、キヤッシュバンク12にインターフェイスする。それらは、レジスタもALUも有していない。読み取りユニットは、アドレスを受け入れ、そしてデータが返送されないときに、データ有効状態ビットをセットする。書き込みユニットは、アドレス及びデータを受け入れる。多数の読み取り及び書き込みユニットを使用し、1つのキヤッシュがフロックをアクセスする場合に、別のスレップが別の読み取り／書き込みユニットを介して実行を継続できるように確保する。

各データ処理スレップごとにコントロールユニット (図示せず) をもつ命令バ

ツフアは、そのスレップの次のマイクロ命令及び命令オペランドを記憶する。命令及びオペランドは、その命令を実行するのに必要なリソースを示すビットを含む。これらのリソース要求は、メディアアコントローラコア2、外部IOポート20及びデータ処理ユニット6、50の現在状態を示す状態ビットと共にコントロールユニットのリソースチェククロジックへと供給される。ロジックゲートのアレーのような簡単な組合せロジックは、命令を実行できるかどうか決定し、そしてコントロールユニット16の固定優先順位セレクタは、最も優先順位の高い実行可能なスレップをデータ経路制御バイプライン(図4に示す)へ送り出し、そのプログラマスレップの実行をスタートする。スレップダスタは、「受信ビデオデータ」、「プロセス記憶オーディオデータ」等である。

通常、命令は、それが実行されるときに、そのスレップの次の命令をメモリから読み取ることを必要とする。命令は、命令OPコード及びオペランドを含むメモリ(プログラマカウンタで指示された)から読み取られる。命令のOPコードフィールドは、次の命令を検索するためにマイクロコードROMをインデックスするのに使用され、それにより得られるマイクロ命令は、命令オペランドフィールドと共にスレップの命令バッファに記憶される。

リソースチェック及び優先順位が図6に完全に示されている。図示された3つのスレップに対し、全体的な状態情報は、必要なデータバンク及び必要なアドレスバンクから受け取られ、ルートコントロールデータは、コントロールユニットから、コントロール状態情報は、コントロールユニット16から、そして実行依存性データは、特定のスレップが依存する他のプロセスから受け取られる。この全ての情報は、リソースチェッカ80へ送られ、該チェッカは、それをIOポートからのデータ、種々のバイプラインデータバンク状態、及び種々のデータ処理ユニットの状態と合成する。これは、考えられる各スレップに対して行われる。

そのデータ処理スレップを実行できる場合には、優先順位セレクタ82へ出力が発生される。これは、サポートされるデータ処理スレップの各々の優先順位に関する情報を有し、その結果、最も優先順位の高いスレップを実行のために選択することができる。例えば、映像のようなリアルタイムデータ入力には高い優先順位が与えられ、これは、バックグラウンド処理動作より高い優先度をとる。

スレップの次の命令は既に命令バッファに与えられているので、その命令は、常にリソースチェック及び優先順位選択に使用できる。従って、各クロックサイクルの状態をチェックすることにより実行時間のロスがなくなる。

図4に示すデータ経路コントロールバイプラインは、マイクロ命令のフィールドを異なる深さでバイプラインに入れられるようにすることにより動作する。これは、マイクロ命令が多数のクロックにわたリバイプラインを通るデータの流れを制御できるようにし、ひいては、データのバイプライン処理を制御できるようにする。

図4の回路は、アンプゲート92の出力をそのイネーブル入力に受け取る1対4デコーダ90を備えている。アンプゲート92の入力は、マイクロコード命令からの制御ビットと、命令の条件付き実行に使用される条件コードである。出力選択であるマイクロコード命令からの一対のタイミングビットがデコーダ90に入力される。デコーダ90の4つの出力は、オアゲート94を経て、シフトレジスタとして構成された4つのD型フリップフロップ96への入力を形成する。デコーダ90からの出力は、ゲート94において、レジスタの手前のフリップフロップ96の出力(第1フリップフロップ96からの出力)とオアされる。ビットは、マイクロコード命令の実行を開始する出力制御ビットとして出現するまで、クロック98によりレジスタに沿ってクロックされる。

従って、制御ビットは、必要なクロックサイクルで行先バンクに到達するようにそのスケジューリングバイプラインの正しい位置に挿入される。概念的には、このような命令ビットバイプラインは、全てのマイクロコード制御ビットに対して存在するが、コントロールバイプラインを実施するのに必要なロジックの量を制限するために、マイクロコードのあるフィールドを配することのできるクロックサイクルに限度が設けられる。

条件付き実行は、条件付きオペレーションを特定しそして条件ビットが発生することにより達成される。2つの形式の条件付きオペレーションがサポートされる。第1の形式は、同じ又は別のバンクからの条件コードでバンクへの書き込みイネーブルバースを定質化することである。第2の形式は、ある条件コードが真である場合にマイクロ命令ワードが再び実行される(プログラマカウンタからの

次の命令ではなく) ことを特定することである。条件コードに対する可能性の数を制限するために、これらの条件付きオペレーションにおいてデータバンク条件コードしか使用できない。

マイクロ命令フォーマットの例

このアーキテクチャに対するマイクロ命令フォーマットの例を以下に示し、サイクルごとにマルチスレップ処理を達成するためにこれをいかに使用するかにについて説明する。

図6には、多数のスレップのマイクロ命令が示されている。その各々は、次のものを含む。

各バンクに対するコントロールフィールド、例えば、レジスタ選択ビット及びALU制御ビット；

各バンクに対する命令タイミングビット—これらは以下で説明する；

バンク間のデータのルートを制御するルートコントロールビット；

命令を条件付きで繰り返すべきか及びそれが即時データオペランドを含むかどうかを示すコアコントロールビット。

性能のために、命令は、多数のクロックサイクルにわたって実行することが許される。命令の一部分が実行される時間は、コントロールユニット命令パイプライン (図6) に制御ビットを入れる位置を制御するバンクコントロールフィールド内の遅延ビットによりセットされる。

制御ビットは、メディアアコントロールコアの将来の状態を表す命令パイプラインに入れられるので、コントロールユニットロジックは、命令遅延がリソースチェック時に準備されそして命令がそれが実行されるいかなるクロックサイクルにも矛盾を生じないよう確保することができる。

実行依存性

ハードウェア設計の複雑さを低く保つために、命令は、多数のクロックサイクルにわたって実行することが許される。命令の一部分が実行される時間は、バンクコントロールフィールド内の遅延ビットにより制御される。

リソースチェックが行われるときにこの命令遅延が各クロックに対して準備され、そしてオペレーションが正しいサイクルで行われるように確保するために、

遅延ビットに対応する0Dコードが、各サイクルにクロックされる1組のラッチへ供給される。これらのラッチの出力は、データパイプラインの将来の状態を表し、そしてリソースチェックロジックへ供給されて、命令がそれが実行されるいかなるクロックサイクルにおいても矛盾を生じないように確保する。

バンク型キャッシュ

マルチバンク型キャッシュは、多数のキャッシュバンクで形成され、図7に示すように処理ユニット及びメモリにインターフェイスする。任意に拡張できるデバイスをサポートするために、多数のキャッシュバンクが使用される。各バンクの使用は、読み取りユニット又は書き込みユニットのようなキャッシュユーザに関連したキャッシュアロケータ86により制御される。これらは、キャッシュバンクを異なる構成で使用するためにプログラム可能に制御される。例えば、コアンドデータに1つのバンクを使用し、3Dデクスタチャマツツに別のバンクを使用し、そして2Dパラメータに第3のバンクを使用する。キャッシュバンクを構成する機能は、良好なメモリ性能を達成する上で重要である。

キャッシュユーザを要求する読み取りユニット88又は書き込みユニット90のような各ポートは、アロケータモジュール86に接続される。これらのモジュールは、ポートによってなされるメモリ要求を検討し、そして適当なキャッシュバンクにその要求をルート指定する。ポートから送られるアドレスは、書き込みアロケータにおいてベースレンジレジスタ対と比較され、アドレスが所与の領域内に入るかどうか決定する。一致が生じた場合には、要求がキャッシュバンクに送られる。一致が生じない場合には、デフォルトキャッシュバンクが使用される。これは、メモリサブシステムへ要求を単に通すことより成る。

ポートに接続されたモジュールのメモリ要求に基づいて2組以上のベース及びレンジレジスタが使用される。

所与の各アロケータから全てのキャッシュバンクにアクセスできるようにする必要はない。ある部分は、他の部分より融通性がなければならない。これは、キャッシュバンクの数を容易に拡張 (増加) できるようにする一方、アロケータとキャッシュバンクとの間に必要とされる相互接続の増加を制限する。従って、1組のキャッシュは、ビデオ入力要求並びにオーディオ入力及び出力を処理するよ

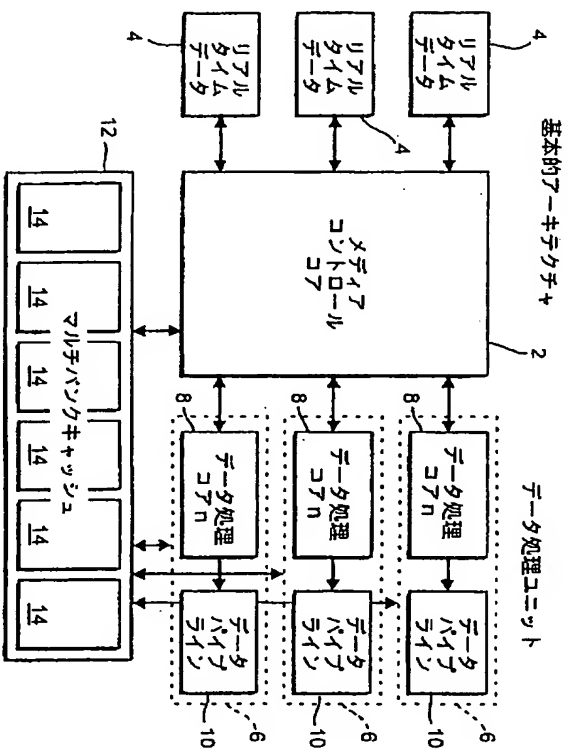
うに割り当てられる一方、他のキャッシュは、メインメモリからのデータフェッチを主として処理するように割り当てることができる。

各キャッシュバンクは、アビタ94を経て読み取り及び書き込みアロケータに接続される。アビタは、全てのアロケータからアクセスのための要求を受け取り、そしてどのアロケータがその特定のキャッシュバンクへのアクセスを得るべきかを決定することができる。これは、各ポートに優先順位を指定し、そして単独に保留中の最も優先順位の高い要求をアビタが処理するように構成することにより行われる。

システムは、MP EG及びビデオ会議のような他の形式の入力を使用するように拡張することができる。

【図1】

FIG. 1



【図4】

マイクロコードからの制御ビット
命令タイミングビット

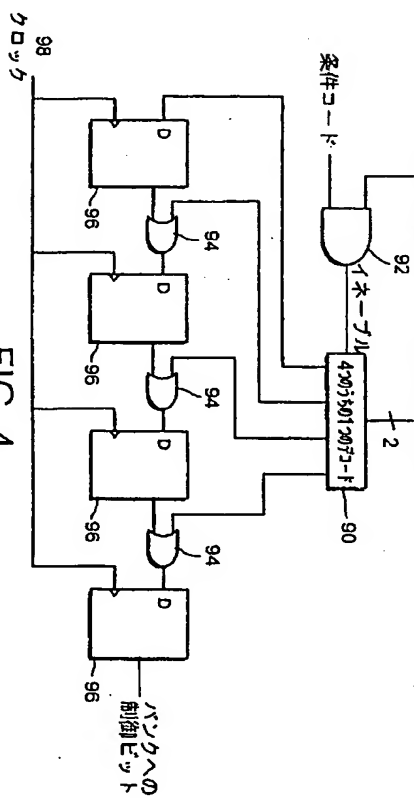
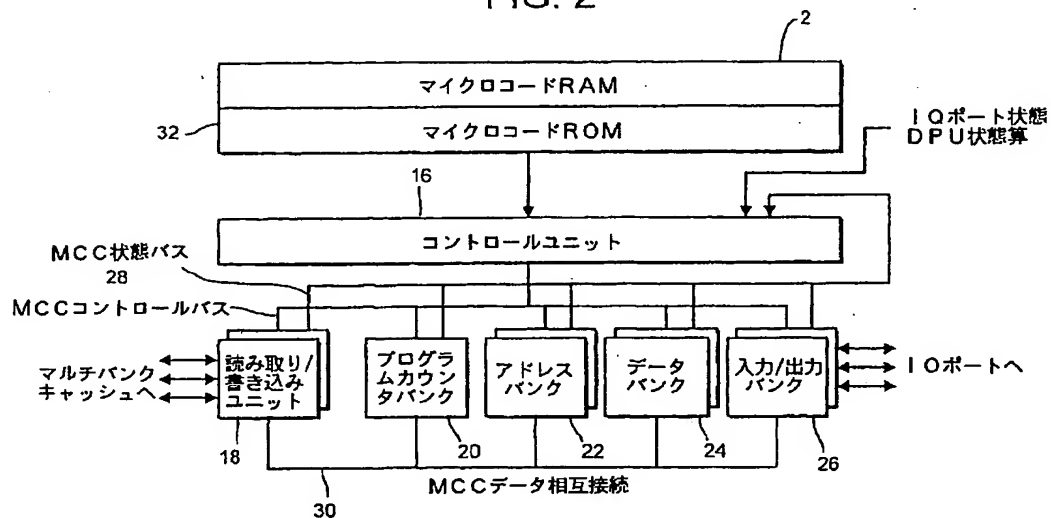


FIG. 4

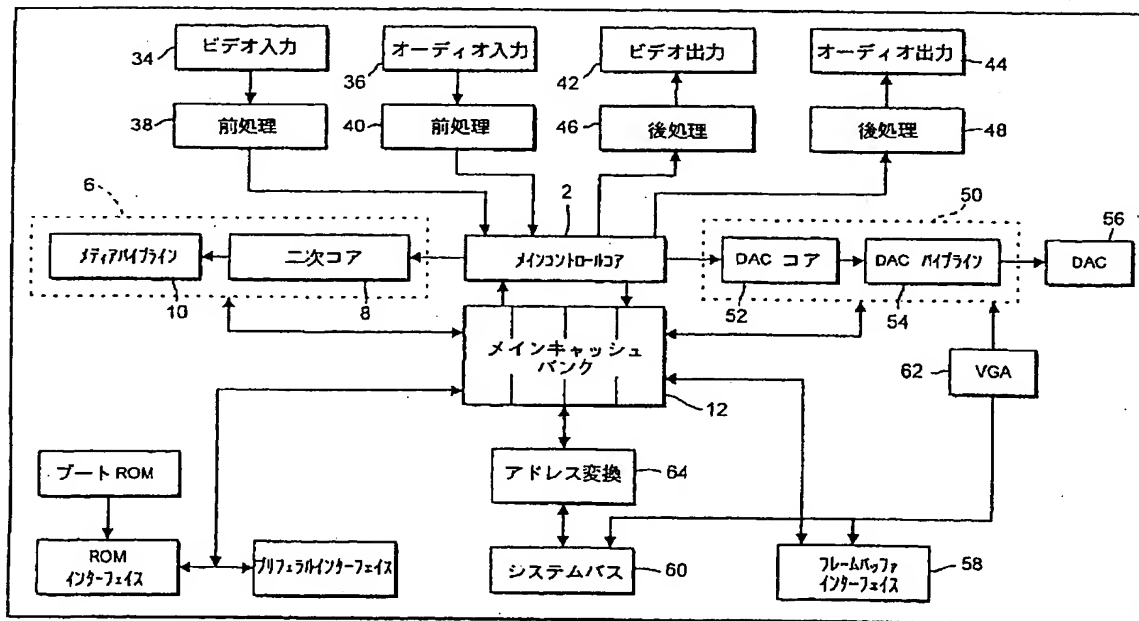
マイクロコードからの
命令タイミングビット

FIG. 2



(23)

特開2000-509528



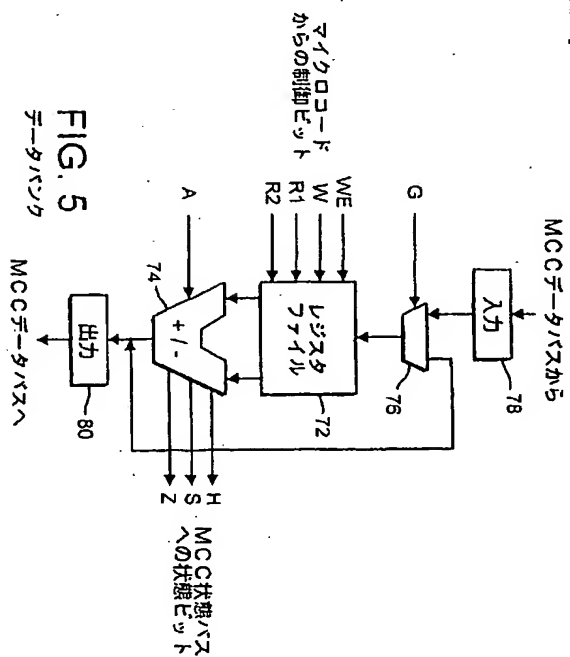
(24)

特開2000-509528

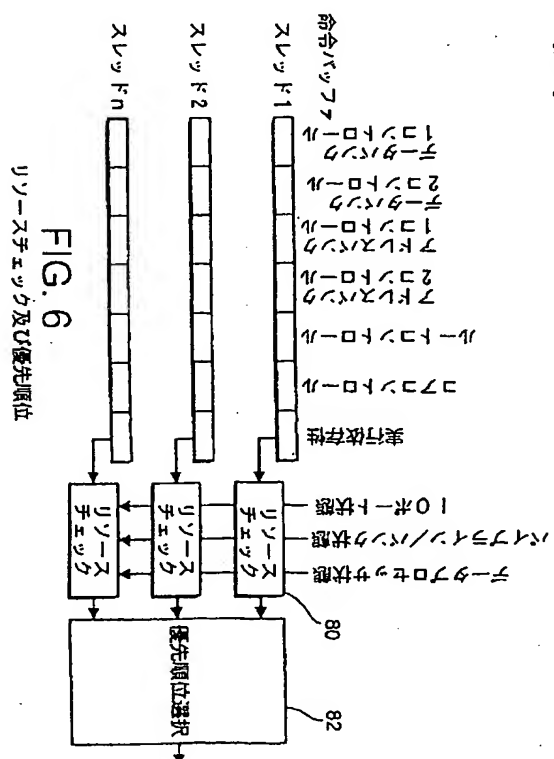
FIG. 3

拡張可能なマルチメディアプロセッサブロック図

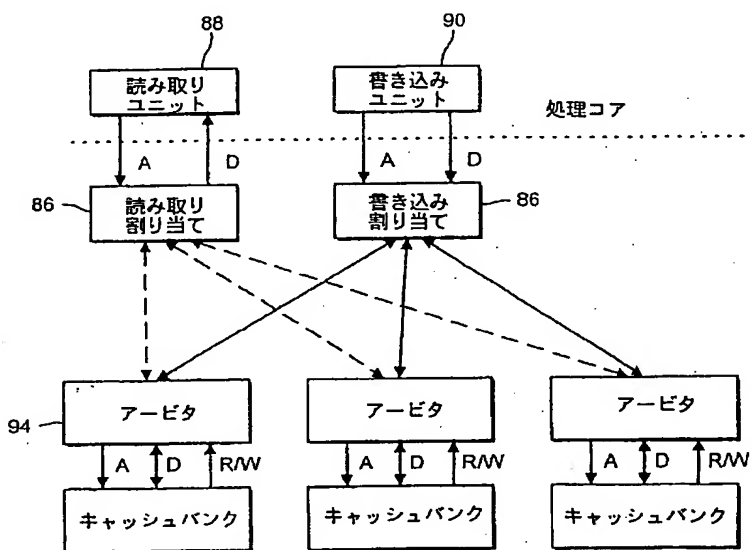
【図5】



【図6】



【図7】

FIG. 7
バンク型キャッシュアーキテクチャ

【手続補正書】特許法第184条の8第1項

【提出日】平成10年5月2日(1998.5.2)

【補正内容】

請求の範囲

1. 複数のデータ入力と、複数のデータ出力と、複数のデータ処理手段と、データ記憶手段と、コントロール手段とを備えたデータ処理ネーゲジメントシステムにおいて、上記コントロール手段は、

1つ以上のプログラム可能なルート指定動作において、データ入力と、データ出力と、データ処理手段と、データ記憶手段との間にデータをルート指定するための手段と、

各データ処理手段が多数の所定のデータ処理動作の1つを開始するようにさせる手段と、

どのルート指定動作及びどのデータ処理動作を実行できるか繰り返し決定するための手段と、

このように決定された実行できる動作において少なくとも1つの実行を開始するための手段と、

を備えたことを特徴とするデータ処理ネーゲジメントシステム。

2. 各ルート指定及びデータ処理動作に優先順位を指定するための手段と、実行できるルート指定及びデータ処理動作のどれに最も高い優先順位が指定されたかを決定するための手段とを備え、実行を開始する上記手段は、最も高い優先順位が指定された動作の実行を開始するように制御される請求項1に記載のデータ処理ネーゲジメントシステム。

3. 少なくとも1つのデータ入力はリアルタイム入力であり、そしてその入力にデータを受信する動作に最も高い優先順位が指定される請求項1又は2に記載のデータ処理ネーゲジメントシステム。

4. データ入力はビデオデータ入力である請求項3に記載のデータ処理ネーゲジメントシステム。

5. データ入力はオーディオ入力である請求項3に記載のデータ処理ネーゲジメントシステム。

6. どのルート指定動作及びどのデータ処理動作を実行できるか繰り返し返し決定する手段、及びそのように決定された動作のどれに最も高い優先順位が指定されたかを決定する手段は、コントロール手段に関連したクロック手段の各クロックサイクルにこの決定を行う請求項2ないし5のいずれかに記載のデータ処理ネージメントシステム。
7. 上記のように決定されて最も高い優先順位が指定された動作の開始は、その後のクロックサイクルに行われる請求項6に記載のデータ処理ネージメントシステム。
8. どのルート指定及びデータ処理動作を実行できるか決定する手段は、状態バスを経て受け取られそして内部及び/又は外部リソースにより発生されたリソース状態ビットからこの決定を行う請求項1ないし7のいずれかに記載のデータ処理ネージメントシステム。
9. データ処理手段は、その処理手段により実行されるべき処理動作に関連したマイクロコード命令の記憶を含む請求項1ないし8のいずれかに記載のデータ処理ネージメントシステム。
10. コントロール手段は、データ処理手段のマイクロコード命令記憶にアドレスオフセットを与えることにより処理動作の実行を開始する請求項9に記載のデータ処理ネージメントシステム。
11. データ記憶手段は、キャッシュメモリ手段を含む請求項1ないし10のいずれかに記載のデータ処理ネージメントシステム。
12. キャッシュメモリ手段は、キャッシュメモリ記憶装置の複数のバンクを含む請求項11に記載のデータ処理ネージメントシステム。
13. キャッシュメモリへのアクセスを有するシステムの各部分は、キャッシュメモリの異なるバンクへのアクセスを許すようにプログラムできるキャッシュメモリ割り当て手段に関連される請求項1に記載のデータ処理ネージメントシステム。
14. コントロール手段は、そのコントロール手段内でデータに対して動作を実行するための1組のデータバンクを含む請求項1ないし13のいずれかに記載

のデータ処理ネージメントシステム。

15. コントロール手段は、システムにより実行されるべきデータ処理動作の各々に対して1つづつ、1組のアドレスバンクを含む請求項1ないし14のいずれかに記載のデータ処理ネージメントシステム。
16. コントロール手段は、システムにより実行されるべきデータ処理動作の各々に対して現在プログラムアドレスを記憶するためのプログラムカウンタバンクを含む請求項1ないし15のいずれかに記載のデータ処理ネージメントシステム。
17. コントロール手段は、入力及び出力手段とインターフェイスするための1組の入力/出力バンクを含む請求項1ないし16のいずれかに記載のデータ処理ネージメントシステム。
18. コントロール手段は、記憶手段とインターフェイスするための読み取り/書き込みユニットを含む請求項1ないし17のいずれかに記載のデータ処理ネージメントシステム。
19. 各データバンクは、演算論理ユニット (ALU) と、そのALUのみに関連したレジスタファイルとを含む請求項12に記載のデータ処理ネージメントシステム。
20. データバンク、アドレスバンク、プログラムカウンタバンク、入力/出力バンク、及び読み取り/書き込みバンクは、全て、共通の状態バス、共通のデータ相互接続部及び共通のコントロールバスに請求項14ないし19に記載のデータ処理ネージメントシステム。

【国際調査報告】
INTERNATIONAL SEARCH REPORT

CLASSIFICATION OF SUBJECT MATTER		Item and Application No.
IPC 6 686F15/80		PCT/GB 97/09972
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELD SEARCHED		
Maximum document searched (classification system followed by classification symbol)		
IPC 6 686F		
Documentation searched other than maximum documentation to the extent that such documents are included in the list searched		
Exhaustive data has occurred during the international search (name of said body and, where practical, search term used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Character of document, with indication, where appropriate, of the relevant passages	Reference to claim No.
X	US 5 487 153 A (HUNNESTON DANIEL W ET AL) 23 January 1996 see column 1, line 30 - column 2, line 22; figure 1 see column 11, line 57 - column 12, line 52	1
A	EP 0 020 202 A (THOMSON CSF) 10 December 1988 see page 3, line 2 - line 29 see page 7, line 35 - page 9, line 20	1,8
A	EP 0 367 639 A (EVANS & SUTHERLAND COMPUTER CO) 9 May 1990 see column 2, line 40 - column 5, line 20 see column 6, line 30 - column 8, line 8	1,2,7,8
-/-		
Special categories of cited documents:		
X	Priority documents are listed in the classification of Item C.	X
X		
Date of mailing of the international search report		
22 July 1997		
Name and mailing address of the ISA, EPO, OAPI, ARIPO, etc. office		
P.O. Box 211, Farnham 2 NL-2100 RV Farnham The Netherlands Tel. (+31-79) 540-200, Te. 51 51, spo 49, Fax (+31-79) 540-2018		
Michele, T		

Form PCT/ISA(20) (latest edn) July 1993

INTERNATIONAL SEARCH REPORT

C/C-CLASSIFICATION DOCUMENTS CONSIDERED TO BE RELEVANT		Item and Application No.
Category		PCT/GB 97/09972
Character of document, with indication, where appropriate, of the relevant passages		Reference to claim No.
A	PROCEEDINGS OF THE SUPERCOMPUTING CONFERENCE, ORLANDO, NOV. 14 - 18, 1988, no. 1988, 14 November 1988, INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, PAGES 35-41, X988042422 THISTLE W R ET AL: "A PROCESSOR ARCHITECTURE FOR HORIZON" see page 36, right-hand column, line 54 - page 37, left-hand column, line 34	2,6
A	EP 0 397 189 A (MITSUBISHI ELECTRIC CORP) 14 November 1990 see the whole document	1,4,5
A	WO 94 15287 A (CENTRE ELECTRON HORIZONER; PEROTTO JEAN FELIX (CH); LAMOTHE CHRISTI) 7 July 1994 see page 3, line 7 - page 4, line 34	1,16

Form PCT/ISA(20) (latest edn) July 1993

INTERNATIONAL SEARCH REPORT

at/on date of present family member

Inventor's name
PCT/GB 97/00972

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5467153 A	23-01-96	NONE	
EP 0620202 A	18-12-88	FR 2457521 A AU 538582 B AU 5866880 A CA 1150846 A US 4542455 A	19-12-88 23-08-84 27-11-80 26-07-83 17-09-85
EP 0367639 A	09-05-90	US 4985831 A CA 1323438 A JP 2178758 A	15-01-91 19-10-93 11-07-90
EP 0397180 A	14-11-90	CA 2016348 A JP 3285985 A US 5481727 A US 5237686 A	16-11-90 09-09-91 02-01-96 17-08-93
WO 9415287 A	07-07-94	CA 2128393 A CN 1089748 A EP 0827188 A JP 7584658 T US 5630130 A	07-07-94 28-07-94 07-12-94 27-04-95 13-05-97

Form PCT/ISA/210 (International Search Report) (May 1997)

フロントページの続き

(51) Int. Cl. 7 識別記号

// H 0 4 N 7/24

(72) 発明者 ロウランド ポール

イギリス ハートフォードシャー エイ
ル 1 ビーキー セント アルバース

ロンドン ロード 1587-

F I H 0 4 N 7/13

Z

チーフ (参考)

THIS PAGE BLANK (USPTO)